**第四章 组合逻辑电路的习题**

**一、基本知识点**

**1、组合逻辑电路的一般结构**

┇

┇

X1

X2

Xn

F1

F2

Fm

组合

逻辑

电路

输入信号

输出信号

表示为Fi＝f（X1，X2，… Xn） i＝1，2，…m

**特点：**电路由逻辑门构成，**不含记忆单元**；输入信号**单向传输**，不含反馈回路。

**2、组合逻辑电路分析**（即对一个给定的电路，找出对应的逻辑关系）

**步骤：**根据电路图写出输出变量的逻辑表达式

化简和变换逻辑表达式

列出真值表，根据真值表进行功能评述

**3、组合逻辑电路的设计**（根据功能描述，实现相应的逻辑电路）

**步骤：**

完成相应的功能描述，即确定输入变量、输出变量，找出相应的因果关系，列出真值表

由真值表写出逻辑表达式

化简逻辑表达式，把表达式变换成与相应逻辑门对应的形式

画出逻辑电路图

**几个实际问题的处理：**

**（1）无关条件的包含**

对于某些实际问题，某些输入变量的取值与输出函数的值无关，通常将这些变量取值组合对应的最小项称为无关最小项。

**恰当地利用无关最小项，往往有利于函数化简。**

**（2）多输出组合电路**

化简时要考虑各函数之间的**共享**，力求整体达到最简。

（3）无反变量提供

目前尚无有效的解决方法。

**4、常用的组合逻辑电路**

。

。

。

。

。

┇

0

1

7

2B

G1

C

A

2A

B

74138

**（1）译码器**

功能：对具有特定含义的输入代码进行“翻译”，

并产生相应的输出信号。

右图为常见的3:8译码器

**（2）加法器**

**半加器**（不考虑低位进位） F＝A+B C为向高位的进位

真值表

|  |  |
| --- | --- |
| A B | F C |
| 0 0 | 0 0 |
| 0 1 | 1 0 |
| 1 0 | 1 0 |
| 1 1 | 0 1 |

F逻辑上即为A和B相异或，C逻辑上即为A和B相与。内部逻辑关系图和符号表示如下所示：

F

&

=1

•

•

C

A

B

∑

C

F

A

B

**全加器**，考虑低位进位，即两个半加器的组合，逻辑关系图和符号表示如下所示：

C

F

A

B

∑

∑

≥1

C0

C

F

A

B

FA

C0

上图F为A、B相加的和再加低位进位C0所得结果；两个半加器均可能产生进位，C为两个进位相或的结果。

**4位二进制加法器**，即上述全加器设置4个，逻辑上并行处理。理论上可实现n位全加。

C

F0

A0

B0

C0

FA

FA

FA

FA

F1

F2

F3

A1

B1

A2

B2

A3

B3

**（3）编码器**（逻辑上是译码器的反向操作）

**4:2编码器**（4根输入线，即相应的位置，2根输出线，把相应位置的编码输出）

真值表如下所示

|  |  |
| --- | --- |
| I0 I1 I2 I3 | Y1 Y2 |
| 1 0 0 0 | 0 0 |
| 0 1 0 0 | 0 1 |
| 0 0 1 0 | 1 0 |
| 0 0 0 1 | 1 1 |

对应的输出表达式为

Y1 ＝0 1 I2 3 + 0 1 2 I3

Y2 ＝0 I1 2 3 + 0 1 2 I3 //从真值表的关系上看，表达式不需要化简

**注意：上述编码器要求4根输入线输入时仅有一根有效，如多跟线同时有效，则编码器输出状态混乱。**

**优先编码器**（允许多线同时有效，设置优先级I3＞I2＞I1＞I0，即I3有效时，其它线忽略）

真值表如下所示（其中d为无关值，即d的值可以忽略）

|  |  |
| --- | --- |
| I0 I1 I2 I3 | Y1 Y2 |
| 1 0 0 0 | 0 0 |
| d 1 0 0 | 0 1 |
| d d 1 0 | 1 0 |
| d d d 1 | 1 1 |

对应的输出表达式为

Y1 ＝ I2 3 + I3 ＝ I2 + I3 Y2 ＝I1 2 3 + I3 ＝I1 2 + I3

**（4）数据分配器**（即一个数据，多个分配端）

74138译码器的真值表（改进输入模式变成8路分配器）

|  |  |
| --- | --- |
| G1 2A 2B  C B A | Y0 Y1 Y2 Y3 Y4 Y5 Y6 Y7 |
| 1 0 D 0 0 0 | D 1 1 1 1 1 1 1 |
| 1 0 D 0 0 1 | 1 D 1 1 1 1 1 1 |
| ┇ | ┇ |
| 1 0 D 1 1 1 | 1 1 1 1 1 1 1 D |

示意图如下所示

。

。

。

。

。

┇

0

1

7

2B

G1

C

A

2A

B

74138

数据输出D

数据输入D

+5V

GND

0

0

0

0

1

0

001、选择Y1

**注意：**译码器C、B、A输入，正常译码操作（C、B、A为地址选择线）

译码器G1、2A、2B输入，则为数据分配器（C、B、A为分配器的路数选择线）

**（5）数据选择器**（即多个数据输入端，一个数据输出端）

逻辑上就是**与或门**，示意图如下：

≥1

&

&

&

&

。

1

。

1

。

1

•

•

•

•

•

•

•

A0

A1

D0

D1

D2

D3

Y

G

真值表如下所示（其中G为门控，A1 、A0地址选择端）

|  |  |
| --- | --- |
| G A1 A0 | Y |
| 1 **×** **×** | 0 |
| 0 0 0 | D0 |
| 0 0 1 | D1 |
| 0 1 0 | D2 |
| 0 1 1 | D3 |

**5、组合逻辑电路中的竞争与险象**

**竞争（Race）:**各输入信号的传输路径不同，因此到达输出端的时间有先有后，即产生一定的时差，此现象称为竞争。

**非临界竞争**（Noncritical Race）：竞争结果不会产生错误的信号。

**临界竞争**（Critical Race）：竞争结果可能产生错误的信号。

**险象**（Hazerd）：由竞争所产生的错误输出信号称为险象。

常用消除险象的方法，**滤波法**、**选通法**、**增加冗余项**。

**二、相关习题**

**\*\*填空题**

1、组合逻辑电路在任意时刻的稳定输出信号取决于（ ）。

2、根据电路输出端是一个还是多个，通常将组合逻辑电路分为（ ）和（ ）两类。

3、设计多输出组合逻辑电路时，只有充分考虑（ ），才能使电路达到最简。

4、全加器是一种实现（ ）功能的逻辑电路。

5、消除组合逻辑电路中险象的常用方法有（ ）、（ ）和（ ）3种。

6、3:8译码器74138有（ ）个输出端，对于输入变量的任何一种取值，有（ ）个输出端的值为1。

7、4路数据分配器有（ ）个选择控制端，（ ）个数据输出端。

8、4位并行加法器74283有（ ）个输入端，（ ）个输出端。

**\*\*选择题（单选）**

1、组合逻辑电路输出与输入的关系可用（ ）描述。

A. 真值表 B. 状态表 C. 状态图 D. 功能表

2、实现两个4位二进制数相乘的组合电路，应有（ ）个输出函数。

A. 4 B. 8 C. 10 D. 12

3、组合逻辑电路中的险象是由（ ）引起的。

A. 电路未达到最简 B. 电路有多个输出

C. 电路中的时延 D. 逻辑门类型不同

4、设计一个5位二进制码的奇偶位发生器（偶校验码），需要（ ）个异或门。

A. 2 B. 3 C. 4 D. 5

5、下列通用集成电路中，（ ）属于组合逻辑电路。

A. 集成定时器5G555 B. 计数器74193

C. 并行加法器74283 D. 寄存器74194

6、8路数据选择器应有（ ）个选择控制端。

A. 2 B. 3 C. 6 D. 8

7、译码器74138的使能端G1 2A 2B取值为（ ）时，处于译码状态。

A. 011 B. 100 C. 101 D. 010

**\*\*判断题**

1、由逻辑门构成的电路是组合逻辑电路。 （ ）

2、设计包含无关条件的组合逻辑电路时，利用无关最小项的随意性有利于输出函数的化简。

（ ）

3、对于多输出组合逻辑电路，仅将各单个输出函数化为最简表达式，不一定能使整体达到最简。 （ ）

4、组合逻辑电路中的竞争是由逻辑设计错误引起的。 （ ）

5、在组合逻辑电路中，由竞争产生的险象是一种瞬间的错误现象。 （ ）

6、译码器74138的8个输出分别对应由输入构成的8个最大项。 （ ）

**\*\*分析及设计题**

1、分析下列两个图中，哪一个是组合逻辑电路，并说出电路的功能，并作出评价。

1

。

1

。

≥1

&

&

&

1

。

≥1

•

•

•

•

A

B

G

1

。

1

。

≥1

&

&

&

1

。

≥1

•

•

•

•

A

B

G

2、分析下图所示组合逻辑电路，假定输入ABCD为一位十进制数的8421码，试说明该电路功能。

&

。

&

。

1

。

&

。

•

A

B

C

D

F

3、设计一个代码转换电路，将一位十进制数的8421码转换成余3码。

4、已知某系统中的ASCII码是采用奇校验的奇偶校验码，试用异或门为该系统设计一个ASCII码的奇偶检测器。

**三、习题参考答案**

**\*\*填空题**

1、组合逻辑电路在任意时刻的稳定输出信号取决于（该时刻的输入信号）。

2、根据电路输出端是一个还是多个，通常将组合逻辑电路分为（单输出组合逻辑电路）和（多输出组合逻辑电路）两类。

3、设计多输出组合逻辑电路时，只有充分考虑（各函数的共享），才能使电路达到最简。

4、全加器是一种实现（两个一位二进制数以及来自低位的进位相加，产生本位“和”及向高位进位）功能的逻辑电路。

5、消除组合逻辑电路中险象的常用方法有（增加冗余项）、（增加惯性延时环节）和（选通法）3种。

6、3:8译码器74138有（ 8 ）个输出端，对于输入变量的任何一种取值，有（ 7 ）个输出端的值为1。

7、4路数据分配器有（ 2 ）个选择控制端，（ 4 ）个数据输出端。

8、4位并行加法器74283有（ 9 ）个输入端，（ 5 ）个输出端。

**\*\*选择题（单选）**

1、组合逻辑电路输出与输入的关系可用（ A ）描述。

A. 真值表 B. 状态表 C. 状态图 D. 功能表

2、实现两个4位二进制数相乘的组合电路，应有（ B ）个输出函数。

A. 4 B. 8 C. 10 D. 12

3、组合逻辑电路中的险象是由（ C ）引起的。

A. 电路未达到最简 B. 电路有多个输出

C. 电路中的时延 D. 逻辑门类型不同

4、设计一个5位二进制码的奇偶位发生器（偶校验码），需要（ C ）个异或门。

A. 2 B. 3 C. 4 D. 5

5、下列通用集成电路中，（ C ）属于组合逻辑电路。

A. 集成定时器5G555 B. 计数器74193

C. 并行加法器74283 D. 寄存器74194

6、8路数据选择器应有（ B ）个选择控制端。

A. 2 B. 3 C. 6 D. 8

7、译码器74138的使能端G1 2A 2B取值为（ B ）时，处于译码状态。

A. 011 B. 100 C. 101 D. 010

**\*\*判断题**

1、由逻辑门构成的电路是组合逻辑电路。 （ **×** ）

2、设计包含无关条件的组合逻辑电路时，利用无关最小项的随意性有利于输出函数的化简。

（ **√** ）

3、对于多输出组合逻辑电路，仅将各单个输出函数化为最简表达式，不一定能使整体达到最简。 （ **√** ）

4、组合逻辑电路中的竞争是由逻辑设计错误引起的。 （ **×** ）

5、在组合逻辑电路中，由竞争产生的险象是一种瞬间的错误现象。 （ **√** ）

6、译码器74138的8个输出分别对应由输入构成的8个最大项。 （ **√** ）

**\*\*分析及设计题**

1、分析下列两个图中，哪一个是组合逻辑电路，并说出电路的功能，并作出评价。

左图和右图均为逻辑门构成，但左图由于存在反馈回路，所以不是组合逻辑电路，而右图的输入信号是单向传送，因此是组合逻辑电路。

右图依逻辑门的顺序关系，输出表达式如下：

A B +

F ＝ + A //依次化简

＝ A⊕B + A

＝ •B + A• + A ＝ A⊕B

由化简后的表达式可知，该电路实现了异或运算，显然该电路设计不经济。

2、分析下图所示组合逻辑电路，假定输入ABCD为一位十进制数的8421码，试说明该电路功能。

（1）写出输出函数表达式并化简

••

F ＝ ＝A + B C + D //已为最简表达式

（2）列出真值表

|  |  |
| --- | --- |
| A B C D | F |
| 0 0 0 0 | 0 |
| 0 0 0 1 | 0 |
| 0 0 1 0 | 0 |
| 0 0 1 1 | 0 |
| 0 1 0 0 | 0 |
| 0 1 0 1 | 1 |
| 0 1 1 0 | 1 |
| 0 1 1 1 | 1 |
| 1 0 0 0 | 1 |
| 1 0 0 1 | 1 |

（3）功能评述

由真值表可知，当8421码大于5时，F输出为1，即该电路是8421码的“四舍五入”电路。

3、设计一个代码转换电路，将一位十进制数的8421码转换成余3码。

（1）设8421码各位依次为ABCD，余3码各位依次为WXYZ，真值表关系如下：

|  |  |
| --- | --- |
| A B C D | W X Y Z |
| 0 0 0 0 | 0 0 1 1 |
| 0 0 0 1 | 0 1 0 0 |
| 0 0 1 0 | 0 1 0 1 |
| 0 0 1 1 | 0 1 1 0 |
| 0 1 0 0 | 0 1 1 1 |
| 0 1 0 1 | 1 0 0 0 |
| 0 1 1 0 | 1 0 0 1 |
| 0 1 1 1 | 1 0 1 0 |
| 1 0 0 0 | 1 0 1 1 |
| 1 0 0 1 | 1 1 0 0 |
| 1 0 1 0 | d d d d |
| 1 0 1 1 | d d d d |
| 1 1 0 0 | d d d d |
| 1 1 0 1 | d d d d |
| 1 1 1 0 | d d d d |
| 1 1 1 1 | d d d d |

**注：**后6行为无效码，利用无关最小项有利于化简

（2）W、X、Y、Z的表达式如下

W（A，B，C，D）＝∑m（5，6，7，8，9）+∑d（10，11，12，13，14，15）

X（A，B，C，D）＝∑m（1，2，3，4，9）+∑d（10，11，12，13，14，15）

Y（A，B，C，D）＝∑m（0，3，4，7，8）+∑d（10，11，12，13，14，15）

Z（A，B，C，D）＝∑m（0，2，4，6，8）+∑d（10，11，12，13，14，15）

（3）卡诺图化简，相关的卡诺图如下：

AB

CD

d

1

1

d

1

1

d

d

1

d

d

00

01

11

10

00

01

11

10

W

AB

CD

1

d

1

d

1

1

d

d

1

d

d

00

01

11

10

00

01

11

10

X

AB

CD

1

1

d

1

d

1

1

d

d

d

d

00

01

11

10

00

01

11

10

Y

AB

CD

1

1

d

1

d

d

d

1

1

d

d

00

01

11

10

00

01

11

10

Z

则W、X、Y、Z化简后的表达式如下：

W（A，B，C，D）＝A + B C + D

X（A，B，C，D）＝ C + D+ B

Y（A，B，C，D）＝C D +

Z（A，B，C，D）＝

//相应的逻辑图省略，即由对应的与、或、非门按表达式顺序实现

\*另一种实现思路，8421码和余3码差3，即8421码加上3即为余3码，逻辑关系图如下所示：

FA

FA

FA

FA

忽略

Z

D

“1”

Y

X

W

C

B

A

“1”

“0”

“0”

“0”

其中逻辑“0”为低电平，逻辑“1”为高电平。

4、已知某系统中的ASCII码是采用奇校验的奇偶校验码，试用异或门为该系统设计一个ASCII码的奇偶检测器。

（1）设8位代码依次为S7 S6 S5S4 S3S2S1S0，当输入代码正确（含奇数个1）时，输出F为1，否则输出F为0。可直接写出逻辑表达式

F＝S7⊕S6⊕S5⊕S4⊕S3⊕S2⊕S1⊕S0 //相同逻辑可不用化简，直接用异或门

改变运算次序如下（否则各输入信号的路径长度不同，会产生竞争及险象）

F＝（（S7⊕S6）⊕（S5⊕S4））⊕（（S3⊕S2）⊕（S1⊕S0））

（2）逻辑电路图如下

=1

=1

=1

=1

=1

=1

=1

S7

S6

S5

S4

S3

S2

S1

S0

F